

DAPDNA-IM2A

ダイナミック・リコンフィギュラブル・プロセッサ



▶ DAPDNAアーキテクチャを採用

DAPDNA-IM2Aダイナミック・リコンフィギュラブル・プロセッサは、アプリケーションに最適な回路をオンデマンドで瞬時（ナノ秒単位）に構成できるプロセッサです。

DAPDNA-IM2Aは、DAPDNAアーキテクチャを採用しており、RISCコアのDAPを2つと、演算器(PE)がマトリックス状に配置されたDNAから構成される、マルチコアプロセッサです。DAPDNAアーキテクチャは、「ソフトウェア処理の柔軟性」を保ちながら、「ハードウェア処理の高速性」を実現するプラットフォームです。

DAP (Digital Application Processor)

- 高性能RISCプロセッサ
- ダイナミックリコンフィギュレーションの制御

DNA (Distributed Network Architecture)

- 動的再構成が可能
- 955個のPEをマトリックス状に配置

▶ 機能を細分化したPEを搭載

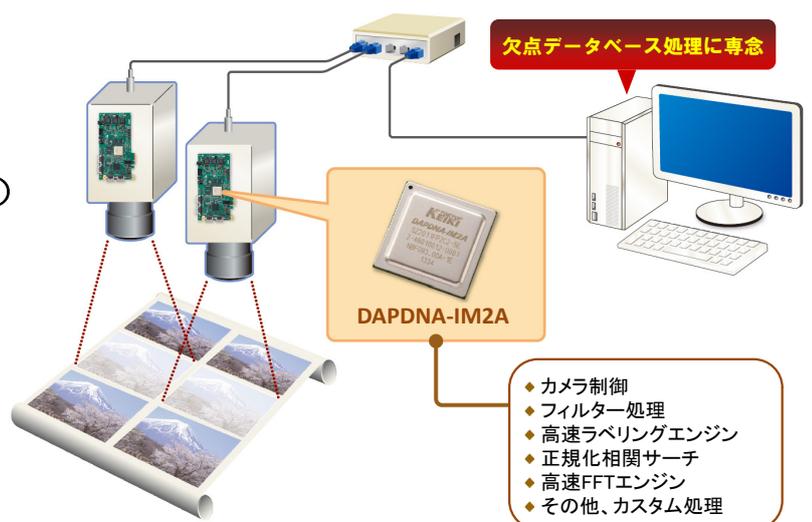
PEを従来よりも高効率化、ハードウェアリソースをより効率的に使用できるようにしました。

- ビット演算および算術演算
- ビット選択出力、ビットローテート、マスク、比較処理
- 16ビット入力、32ビット出力乗算処理
- 32ビットシフト処理
- 内蔵メモリ合計608Kバイト

(RAM系PE 計448Kバイト + 入出力バッファ 計160Kバイト)

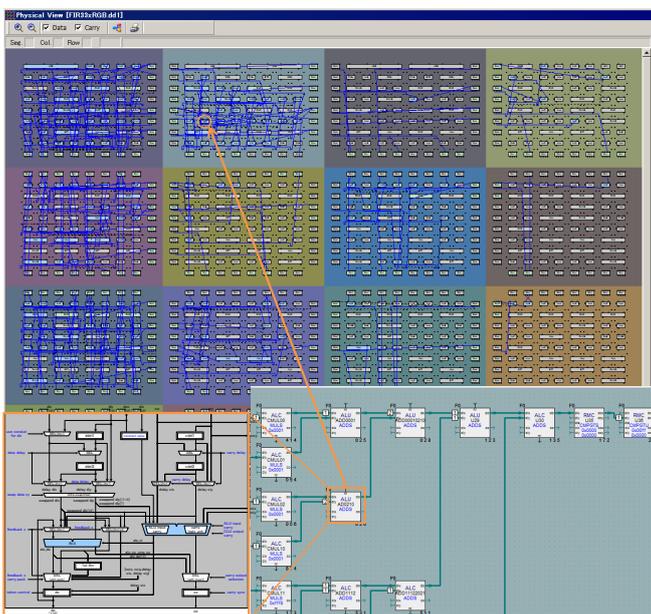
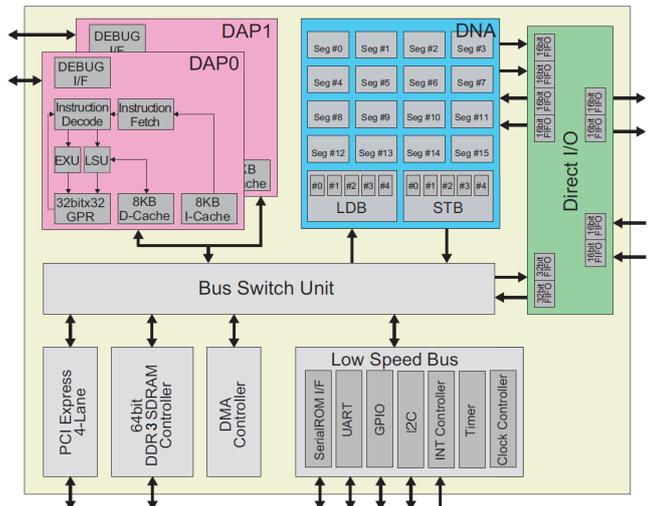
▶ 画像処理に適した構成

DAPDNA-IM2Aは、さまざまな画像処理アルゴリズムを評価した結果、画像処理に特化した機能を内蔵するPEを搭載することで、画像処理に最適なPE構成を実現しました。これらのPEはモード設定により、各種のラインバッファやFIFO、ルックアップテーブルに加え、ヒストグラム、ステートマシン、JPEGで使用されるハフマン符号の復号器を構成することができます。算術演算用のPEには、11ビット×5ビット乗算機能を内蔵し、画像フィルタやコーデックを効率よく構成することができます。



印刷物検査装置での使用例

▶ DAPDNA-IM2A ブロック図



DNAは、PEの2次元マトリクスで構成されています。PEは演算処理機構の最小単位で、DAPDNA-IM2Aでは全部で955個が搭載されています。PEの機能はいくつかの種類に分かれ、大きくはデータ処理用、データ入出力用に分類できます。

- ・本資料の掲載内容は、予告なしに変更されることがあります。
- ・本資料の全部または一部を、弊社の文書による事前の承認なくして転載または複製することはかたくお断りいたします。
- ・本資料は、DAPDNA 関連製品（以下、本製品という）の基本的な動作や使い方を述べたもので、弊社もしくは第三者の特許権その他の知的財産権等の権利に関する保証または実施権の許諾を行うものではありません。
- ・本製品を輸出する際には、「外国為替および外国貿易法」等の輸出関連法規を遵守してください。
- ・本製品は、特別に高い品質・信頼性が要求され、その故障や誤動作が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器（原子力制御装置、航空宇宙機器、輸送機器、交通信号機器、燃料制御、医療機器、各種安全装置など）に使用されるよう設計・製造されたものではありません。弊社は、これらの用途へ本製品ご使用になったことにより生じた損害について、責任を負いかねますのでご了承ください。
- ・弊社は製品の品質および信頼性の向上に努めておりますが、半導体製品は故障または誤動作する場合があります。本製品をご使用の場合には、本製品の故障または誤動作が生じた場合でもお客様の機器の安全性に影響を及ぼすことのないよう、お客様の責任で機器の設計を行ってください。

▶ DAPDNA-IM2A 開発環境

DAPDNA-IM2Aによるシステムを短期間で効率よく開発可能です。

- ・ DAPDNA-FW II 統合開発環境 v3.7以降
- ・ デバッグボックス：DAPDNA-DBU
- ・ 評価ボード：DAPDNA-EB8S

DAPDNA-IM2A 主な仕様

DAP (デュアル DAP)	高性能 32 ビット RISC プロセッサ×2 命令キャッシュ 8K バイト、データキャッシュ 8K バイト
DNA	動的再構成可能な 16 ビット PE (955 個) の 2 次元マトリクス
DNA コンフィギュレーション数	3 バンク (フォアグラウンド 1 バンク+バックグラウンド 2 バンク) ※4 バンク以上は、メインメモリからロード可
ダイレクト I/O	FPD Link 規格に準拠したシリアルインタフェース 内部 16 ビット幅、入出力計 4 チャンネル (DNA モードは、複数の DAPDNA-IM2A 接続も可)
DDR3 SDRAM	1000MT/s、64 ビット幅 DDR3 SDRAM インタフェース 最大容量 2G バイト
PCI Express	PCI Express rev2.0a 準拠(4 レーン)
ROM	ブートおよびプログラム用シリアル ROM インタフェース (SPI)
外部割り込み	7 本
その他	UART 1 チャンネル、GPIO 16 チャンネル、
動作周波数	DAP 400MHz、DNA 300MHz
電源	4 電源: 3.3V (GPIO)、2.5V (PCIe, LVDS)、1.5V (DDR3)、1.1V (コア)
パッケージ	HFCBGA パッケージ、676 ピン、鉛フリー (RoHS 対応)

PE	機能	個数	
データ処理	ALU	ビット演算および算術演算系の処理、16ビット固定値供給	432
	BTC	ビットの選択出力処理	4
	MUL	16ビット入力、32ビット出力の乗算処理	50
	RMC	ビットのローテート、マスク処理および比較処理、16ビット固定値供給	72
	SFT	32ビットのシフト処理	42
	DLE	データおよびキャリアの遅延調整	256
データ入出力	RAM	DNA の内蔵メモリ	55
	C32	32ビットカウンタ(メインメモリアクセス用アドレス生成)	12
	C16	16ビットカウンタ(LDB/STB アクセス用アドレス生成)	18
	LDB	メインメモリから DNA へのデータ転送用バッファ	5
	STB	DNA からメインメモリへのデータ転送用バッファ	5
	LDX	ダイレクト I/O から DNA へデータを入力	2
	STX	DNA からダイレクト I/O へデータを入力	2
合計		955	

TOKYO KEIKI

東京計器株式会社

油圧制御システムカンパニー

本社・東京営業所 03-3737-8616

<http://www.tokyo-keiki.co.jp/hyd/>

DAPDNA 関連製品お問い合わせ dapdna@tokyo-keiki.co.jp